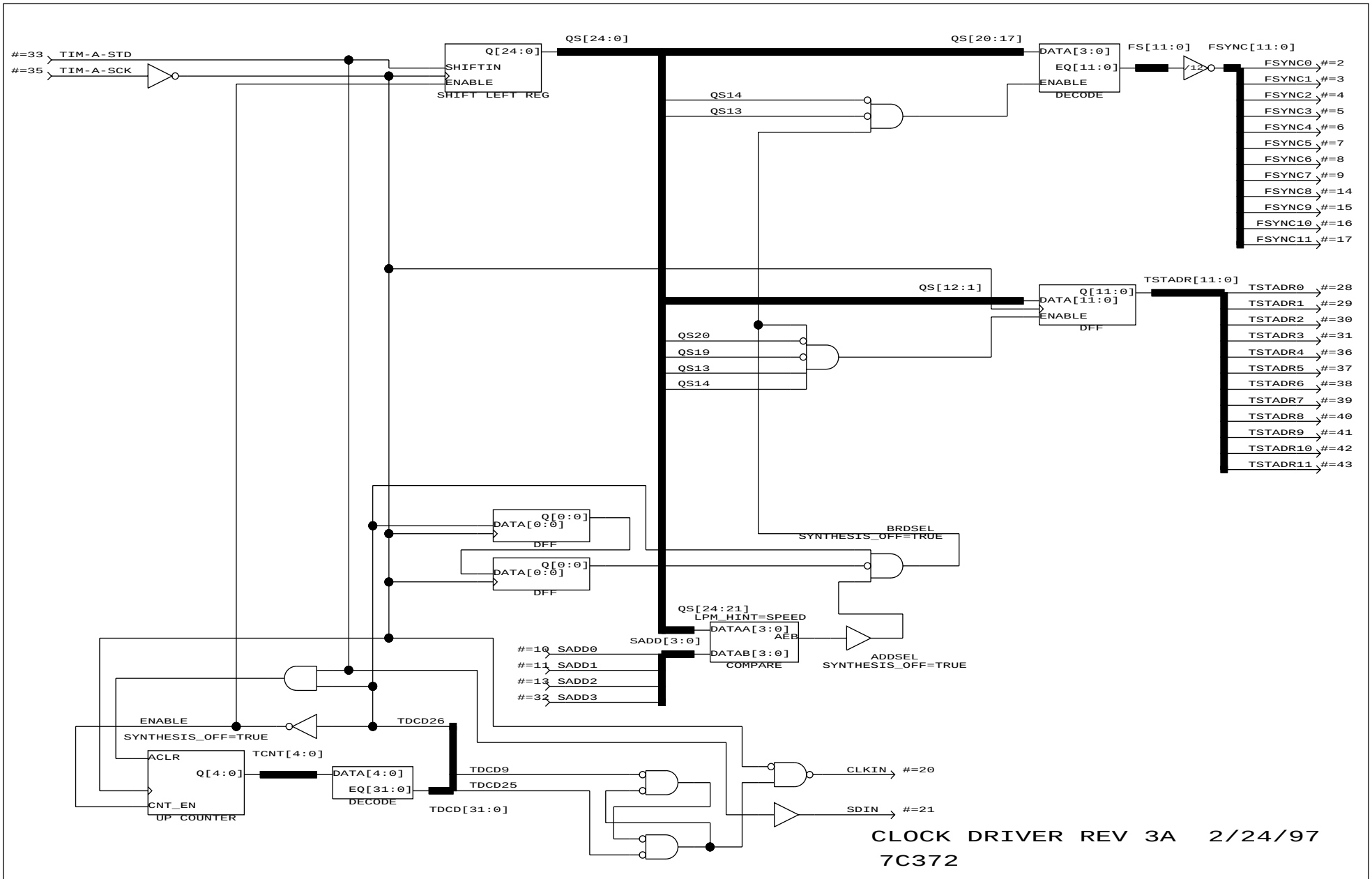
#=33 TIM-A-STD
#=35 TIM-A-SCK
Q[24:0]
SHIFTIN
ENABLE
SHIFT LEFT REG
QS[24:0]
QS[20:17]
DATA[3:0]
EQ[11:0]
ENABLE
DECODE
FS[11:0]
/12
FSYNC[11:0]
FSYNC0 #=2
FSYNC1 #=3
FSYNC2 #=4
FSYNC3 #=5
FSYNC4 #=6
FSYNC5 #=7
FSYNC6 #=8
FSYNC7 #=9
FSYNC8 #=14
FSYNC9 #=15
FSYNC10 #=16
FSYNC11 #=17
QS14
QS13
QS[12:1]
Q[11:0]
DATA[11:0]
ENABLE
DFF
TSTADR[11:0]
TSTADR0 #=28
TSTADR1 #=29
TSTADR2 #=30
TSTADR3 #=31
TSTADR4 #=36
TSTADR5 #=37
TSTADR6 #=38
TSTADR7 #=39
TSTADR8 #=40
TSTADR9 #=41
TSTADR10 #=42
TSTADR11 #=43
QS20
QS19
QS13
QS14
Q[0:0]
DATA[0:0]
DFF
Q[0:0]
DATA[0:0]
DFF
BRDSEL
SYNTHESIS_OFF=TRUE
QS[24:21]
LPM_HINT=SPEED
DATAA[3:0]
AEB
DATAB[3:0]
COMPARE
SADD[3:0]
#=10 SADD0
#=11 SADD1
#=13 SADD2
#=32 SADD3
ADDSEL
SYNTHESIS_OFF=TRUE
ENABLE
SYNTHESIS_OFF=TRUE
TDCD26
ACLR
TCNT[4:0]
Q[4:0]
CNT_EN
UP COUNTER
DATA[4:0]
EQ[31:0]
DECODE
TDCD9
TDCD25
TDCD[31:0]
CLKIN #=20
SDIN #=21
CLOCK DRIVER REV 3A 2/24/97
7C372